Problemă examen CN2

Fie un procesor cu adrese pe 8 biți și o memorie cache de 8 octeți cu lungimea liniei de 2 octeți, datele fiind accesibile la nivel de octet. Timpul de acces în cazul unui hit este Thit = 10 ns și timpul de acces în cazul unui miss este Tmiss = 100 ns. Cât va dura următoarea secvență de cod și ce date se vor afla în cache dacă:

1. Adresele sunt mapate direct
2. Adresele sunt mapate set asociativ cu 2 căi și politica de înlocuire a liniilor este LRU
3. Adresele sunt mapate full asociativ și politica de înlocuire a liniilor este FIFO

ldi R19, 0x08

loop:

lds R20, 0x01

lds R21, 0x03

lds R22, 0x05

lds R23, 0x07

lds R24, 0x09

dec R19

cpi R19, 0

brne loop

Observație: Considerăm ca instrucțiunile ldi (load immediate), dec (decrement), cpi (compare immediate) și brne (branch not equal) se execută în timp 0 și nu afecteaza cache-ul.

Raspuns problemă examen CN2



0: 0x08, 0x09

1: 0x02, 0x03

2: 0x04, 0x05

3: 0x06, 0x07

T = 5\*Tmiss + 7\*(2\*Tmiss + 3\*Thit) = 2110 ns

0.0: 0x04, 0x05

0.1: 0x08, 0x09

1.0: 0x02, 0x03

1.1: 0x06, 0x07

T = 5\*Tmiss + 7\*(3\*Tmiss + 2\*Thit) = 2740 ns

0.0: 0x02, 0x03

0.1: 0x04, 0x05

0.2: 0x06, 0x07

0.3: 0x08, 0x09

T = 8\*5\*Tmiss = 4000 ns